



(21)申请号 201810116261.8

(22)申请日 2018.02.05

(65)同一申请的已公布的文献号  
申请公布号 CN 108321169 A

(43)申请公布日 2018.07.24

(30)优先权数据  
106142451 2017.12.04 TW

(73)专利权人 友达光电股份有限公司  
地址 中国台湾新竹科学工业园区新竹市力行二路1号

(72)发明人 郭庭玮 张正杰 林振祺 刘奕成

(74)专利代理机构 北京市立康律师事务所  
11805  
代理人 梁挥 孟超

(51)Int.Cl.

H01L 27/15(2006.01)

(56)对比文件

CN 104733500 A, 2015.06.24,  
CN 107145019 A, 2017.09.08,  
US 2006/0250085 A1, 2006.11.09,  
US 2016/0211314 A1, 2016.07.21,

审查员 孙丽

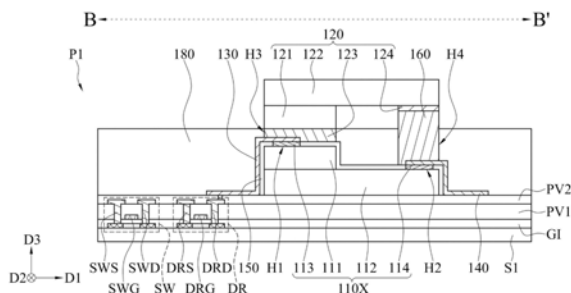
权利要求书2页 说明书11页 附图12页

(54)发明名称

像素结构

(57)摘要

一种像素结构,具有至少一子像素。子像素包括基板、第一微型发光元件、修补用微型发光元件、第一连接线、第二连接线以及桥接图案。第一微型发光元件设置于基板上。修补用微型发光元件设置于第一微型发光元件上,且与第一微型发光元件于垂直基板方向上部分重叠。第一连接线电性连接于第一微型发光元件的第一电极与修补用微型发光元件的第三半导体层。第二连接线电性连接于第一微型发光元件的第二电极。桥接图案位于第一微型发光元件与修补用微型发光元件之间,且电性连接第二电极与修补用微型发光元件的第四半导体层。



1. 一种像素结构,其特征在于,具有至少一子像素,该至少一子像素包含:

一基板;

至少一个驱动元件,设置于该基板上;

一第一微型发光元件,设置于该基板上且电性连接于该驱动元件,该第一微型发光元件包含一第一半导体层、一第二半导体层、一第一电极与一第二电极,该第一半导体层的掺杂型不同于该第二半导体层的掺杂型,且该第一电极电性连接该第一半导体层,该第二电极电性连接该第二半导体层;

一修补用微型发光元件,设置于该第一微型发光元件上,且与该第一微型发光元件于垂直该基板方向上部分重叠,该修补用微型发光元件包含一第三半导体层与一第四半导体层,该第三半导体层的掺杂型不同于该第四半导体层的掺杂型;

一第一连接线,电性连接于该第一微型发光元件的该第一电极与该修补用微型发光元件的该第三半导体层,且该第一连接线与该驱动元件电性连接;

一第二连接线,电性连接于该第一微型发光元件的该第二电极;

一绝缘层,设置于该第一微型发光元件上,且部分覆盖该第一微型发光元件,其中,该绝缘层具有一第一开口与一第二开口,且该第一开口与该第一连接线部分重叠,该第二开口与该第二连接线部分重叠;以及

一桥接图案,位于该第一微型发光元件与该修补用微型发光元件之间,且电性连接该第二电极与该修补用微型发光元件的该第四半导体层。

2. 如权利要求1所述的像素结构,其特征在于,其中该修补用微型发光元件更包括一第三电极以及一第四电极,该第三电极位于该第一连接线与该第三半导体层之间,该第四电极位于该第二连接线与该第四半导体层之间。

3. 如权利要求1所述的像素结构,其特征在于,更包含一第二微型发光元件,该第二微型发光元件包含一另一第一半导体层、一另一第二半导体层、一另一第一电极与一另一第二电极,该另一第一半导体层的掺杂型不同于该另一第二半导体层的掺杂型,且该另一第一电极电性连接该另一第一半导体层,该另一第二电极电性连接该另一第二半导体层,且该第一连接线电性连接该另一第一电极。

4. 如权利要求1所述的像素结构,其特征在于,其中该第三半导体层向该第一微型发光元件方向延伸。

5. 如权利要求4所述的像素结构,其特征在于,其中该第三半导体层位于该第一半导体层上,该第一半导体层的垂直投影范围与该第三半导体层的垂直投影范围重叠,且该第二半导体层的垂直投影范围与该第四半导体层的垂直投影范围重叠。

6. 如权利要求1所述的像素结构,其特征在于,其中该第一半导体层的垂直投影范围与该第三半导体层的垂直投影范围不重叠,且该第二半导体层的垂直投影范围小于该第四半导体层的垂直投影范围。

7. 如权利要求1所述的像素结构,其特征在于,其中该第四半导体层于一第一方向的宽度大于该第二半导体层的宽度。

8. 如权利要求6或7所述的像素结构,其特征在于,更包括另一桥接图案,设置于该第一连接线与该第三半导体层之间。

9. 如权利要求4-7任一项所述的像素结构,其特征在于,其中该桥接图案包括一导电电

极,该导电电极的一端贴合该第四半导体层,且该导电电极的另一端贴合该第二连接线。

10.如权利要求4-7任一项所述的像素结构,其特征在于,其中该桥接图案更包括一导电电极、另一第三半导体层及至少一导电柱,该导电电极位于该第二连接线与该另一第三半导体层之间、该另一第三半导体层位于该导电电极与该第四半导体层之间,各该导电柱贯穿该另一第三半导体层,各该导电柱的一端与该导电电极耦接,且各该导电柱的另一端与该第四半导体层耦接。

11.如权利要求10所述的像素结构,其特征在于,其中该桥接图案更包括一绝缘图案,该绝缘图案电性隔离各该导电柱与该另一第三半导体层。

12.如权利要求1所述的像素结构,其特征在于,更包括一保护层,该保护层覆盖该第一微型发光元件且具有一第三开口与一第四开口,其中该第三开口的垂直投影范围与该第三半导体层的垂直投影范围重叠,该第四开口的垂直投影范围与该桥接图案的垂直投影范围重叠。

13.如权利要求12所述的像素结构,其特征在于,其中,该第三开口的垂直投影范围与该第一开口的垂直投影范围至少部分重叠,且该第四开口的垂直投影范围与该第二开口的垂直投影范围至少部分重叠。

14.如权利要求12所述的像素结构,其特征在于,其中该第三开口的垂直投影范围与该第一开口的垂直投影范围不重叠,且该第四开口的垂直投影范围与该第二开口的垂直投影范围不重叠。

15.如权利要求13或14所述的像素结构,其特征在于,其中该第三半导体层延伸入该第三开口与该第一电极电性连接,且至少部分的该桥接图案延伸入该第四开口与该第二电极电性连接。

16.如权利要求1所述的像素结构,其特征在于,其中该第一微型发光元件系为预修补之微型发光元件。

17.如权利要求1所述的像素结构,其特征在于,其中该第一半导体层的掺杂型与该第三半导体层的掺杂型相同,该第二半导体层的掺杂型与该第四半导体层的掺杂型相同。

## 像素结构

### 技术领域

[0001] 本发明系关于一种子像素的修补技术,特别是一种像素结构。

### 背景技术

[0002] 发光元件,因其具有高光电转换效率与寿命长等优点,已经广泛的应用于显示面板。一般而言,发光元件系设置于子像素内。然而,当发光元件损坏或脱落时,就无法发光而使得显示面板产生暗点。再者,显示面板重工(rework)不易且制程繁琐,目前业界仍在努力改善的方向之一。

### 发明内容

[0003] 本发明一实施例提出一种像素结构,其包括基板、至少一个驱动元件、第一微型发光元件、修补用微型发光元件、第一连接线、第二连接线、绝缘层以及桥接图案。切换元件设置于基板上。第一微型发光元件设置于基板上且电性连接于切换元件。第一微型发光元件包含第一半导体层、第二半导体层、第一电极与第二电极。第一半导体层的掺杂型不同于第二半导体层的掺杂型。第一电极电性连接第一半导体层,且第二电极电性连接第二半导体层。修补用微型发光元件设置于第一微型发光元件上,且与第一微型发光元件于垂直基板方向上部分重叠,修补用微型发光元件包含第三半导体层与第四半导体层,且第三半导体层的掺杂型不同于第四半导体层的掺杂型。第一连接线电性连接于第一微型发光元件的第一电极与修补用微型发光元件的第三半导体层,且第一连接线与驱动元件电性连接。第二连接线电性连接于第一微型发光元件的第二电极。绝缘层设置于第一微型发光元件上且部分覆盖第一微型发光元件,其中,绝缘层具有第一开口与第二开口,且第一开口与第一连接线部分重叠,第二开口与第二连接线部分重叠。桥接图案位于第一微型发光元件与修补用微型发光元件之间,且电性连接第二电极与修补用微型发光元件的第四半导体层。

[0004] 以下结合附图和具体实施例对本发明进行详细描述,但不作为对本发明的限定。

### 附图说明

[0005] 图1为一对比例之像素结构的俯视图。

[0006] 图2为对应于图1之像素结构之子像素的等效电路图。

[0007] 图3为对应于图2之A-A'剖线之一对比例的子像素截面示意图。

[0008] 图4为本发明之第一实施例之像素结构的俯视图。

[0009] 图5为对应于图4之像素结构之其中一子像素的等效电路图。

[0010] 图6为对应于图4之B-B'剖线之一示范例之其中一子像素截面示意图。

[0011] 图7为对应于图4之B-B'剖线之另一示范例的子像素的截面示意图。

[0012] 图8为对应于图4之B-B'剖线之又一示范例的子像素的截面示意图。

[0013] 图9为对应于图4之B-B'剖线之又一示范例的子像素的截面示意图。

[0014] 图10为对应于图4之B-B'剖线之再一示范例的子像素的截面示意图。

- [0015] 图11为本发明之第二实施例的像素结构的俯视图。
- [0016] 图12为对应于图11之C-C'剖面线之一示范例的像素结构的截面示意图。
- [0017] 图13为对应于图12之的像素结构的等效电路图。
- [0018] 其中,附图标记:
- |        |                   |                 |
|--------|-------------------|-----------------|
| [0019] | 100、100' 像素结构     | 110微型发光元件       |
| [0020] | 111、191第一半导体层     | 112、192第二半导体层   |
| [0021] | 113、193第一电极       | 114、194第二电极     |
| [0022] | 110X、110X'        | 第一微型发光元件        |
| [0023] | 120、120'          | 修补用微型发光元件       |
| [0024] | 121、121a、121b     | 第三半导体层          |
| [0025] | 122第四半导体层         | 123第三电极         |
| [0026] | 124第四电极           | 130第一连接线        |
| [0027] | 140第二连接线          | 150绝缘层          |
| [0028] | 160、170桥接图案       | 161导电电极         |
| [0029] | 162导电柱            | 163绝缘图案         |
| [0030] | 180保护层            | 190第二微型发光元件     |
| [0031] | A-A'、B-B'、C-C'剖面线 | Cst、Cst' 储存电容   |
| [0032] | D1第一方向            | D2第二方向          |
| [0033] | D3垂直投影方向          | DE导电电极          |
| [0034] | DR、DR' 驱动元件       | DL、DL' 数据线      |
| [0035] | DRG、DRG' 栅极       | DRD、DRD' 漏极     |
| [0036] | DRS、DRS' 源极       | GL、GL' 栅极线      |
| [0037] | GI栅极介电层           | H1第一开口          |
| [0038] | H2第二开口            | H3第三开口          |
| [0039] | H4第四开口            | S1基板            |
| [0040] | SE半导体层            | SV像素定义层         |
| [0041] | SW、SW' 切换元件       | SWS、SWS' 源极     |
| [0042] | SWD、SWD' 漏极       | SWG、SWG' 栅极     |
| [0043] | OVDD、OVSS电压       | P、P1、P2、P1' 子像素 |
| [0044] | PL、PL' 电源线        | PV1第一绝缘层        |
| [0045] | PV2第二绝缘层          | PV3第三绝缘层        |

### 具体实施方式

[0046] 下面结合附图对本发明的结构原理和工作原理作具体的描述:

[0047] 在附图中,为了清楚起见,放大了层、膜、面板、区域等的厚度。在整个说明书中,相同的附图标记表示相同的元件。应当理解,当诸如层、膜、区域或基板的元件被称为在另一元件“上”或“连接到”另一元件时,其可以直接在另一元件上或与另一元件连接,或者中间元件可以也存在。相反,当元件被称为“直接在另一元件上”或“直接连接到”另一元件时,不存在中间元件。如本文所使用的,“连接”可以指物理及/或电性连接。再者,电性连接或耦接

可为二元件间存在其它元件。

[0048] 本文使用的“约”、“近似”、“实质上”、或“大致上”包括所述值和在本领域普通技术人员确定的特定值的可接受的偏差范围内的平均值,考虑到所讨论的测量和与测量相关的误差的特定数量(即,测量系统的限制)。例如,“约”可以表示在所述值的一个或多个标准偏差内,或 $\pm 30\%$ 、 $\pm 20\%$ 、 $\pm 10\%$ 、 $\pm 5\%$ 内。再者,本文使用的“约”、“近似”或“实质上”可依光学性质、蚀刻性质或其它性质,来选择较可接受的偏差范围或标准偏差,而可不用一个标准偏差适用全部性质。

[0049] 除非另有定义,本文使用的所有术语(包括技术和科学术语)具有与本发明所属领域的普通技术人员通常理解的相同的含义。将进一步理解的是,诸如在通常使用的字典中定义的那些术语应当被解释为具有与它们在相关技术和本发明的上下文中的含义一致的含义,并且将不被解释为理想化的或过度正式的意义,除非本文中明确地这样定义。

[0050] 图1为一对比例之像素结构的俯视图。图2为对应于图1之像素结构之子像素的等效电路图。图3为对应于图1之A-A'剖线之一对比例的子像素截面示意图。请参考图1、图2及图3,对比例之像素结构100'的子像素P1'的驱动架构与本发明实施例的驱动架构大致相同(例如:使用2T1C驱动架构),对比例之像素结构驱动架构系包括切换元件SW'与驱动元件DR'以及储存电容Cst',但本发明并不以此为限,详细各元件间的电性连接设计请参阅后续对应图4之说明。当图1所示之对比例的第一微型发光元件110X'损坏时,由于修补用微型发光元件120'的设置位置与第一微型发光元件110X'位置不同,因而修补用微型发光元件120'一般系设置于第一微型发光元件110X'旁边的预留空间,并与第一微型发光元件110X'为并联。为避免子像素P1'内的线路或电极因不适当的接触而产生短路的情形,通常会移除第一微型发光元件110X'、或是移除第一微型发光元件110X'与有源元件DR'之间的线路、或者是于第一微型发光元件110X'的阳极与阴极上设置绝缘层以使修补用微型发光元件120'与第一微型发光元件110X'电性绝缘。因此,修补用微型发光元件120'的出光的光场型可能会受到影响。而且修补用微型发光元件120'及其备用连接垫及备用线路会占用子像素的显示面积,使得开口率下降。此外。需要额外的重工或修补制程的步骤,且额外制作备用连接垫及备用线路会使得制程繁琐以及线路设计复杂。

[0051] 请参考图3,图3切换元件SW'与驱动元件DR'是以顶栅极型薄膜晶体管(Top Gate-TFT)为例,即栅极SWG'、DRG'位于半导体层SE之上方。在其他实施例中,切换元件SW'与驱动元件DR'也可以是底部栅极型薄膜晶体管(Bottom Gate-TFT),即栅极SWG'、DRG'位于半导体层SE之下方。以顶栅极型薄膜晶体管(Top Gate-TFT)为例,更包括栅极介电层GI覆盖半导体层SE,第一绝缘层PV1覆盖栅极SWG'、DRG',源极SWS'、DRS'与漏极SWD'、DRD'分别贯穿第一绝缘层PV1而与对应之半导体层SE电性连接。第二绝缘层PV2覆盖切换元件SW'与驱动元件DR'。像素定义层SV可选择性地设置于第二绝缘层PV2上,且第三绝缘层PV3可选择性地设置于像素定义层SV上。导电电极DE设置于第二绝缘层PV2上,其中导电电极DE可选择性地具有反射性的导电层,然本发明并不以此为限。第一微型发光元件110X'与修补用微型发光元件120'可选择性的经由焊料(图未示出)或黏着层(图未示出)设置于导电电极DE上。

[0052] 图4为本发明之第一实施例之像素结构的俯视图。请参考图4,于此一实施例中,像素结构100包括多个子像素P,复数个子像素P分别沿第一方向D1以及第二方向D2以矩阵状排列,此些复数个子像素结构能够使显示面板达到全彩显示的效果。举例而言像素结构100

具有第一子像素P1以及第二子像素P2,且分别具有一发光元件(例如:第一微型发光元件110X),若检测结果显示第一子像素P1之第一微型发光元件110X的功能为异常时(例如:文中所指异常可能为亮度衰减或不发光,但并不以此为限),则可对功能异常之第一微型发光元件110X进行重工或修补,也就是说于第一子像素P1内设置另一发光元件(例如:修补用微型发光元件120)。因此,第一微型发光元件110X系为被修补之微型发光元件。须说明的是,图4系简单示意图,其省略示出第一微型发光元件110X、第二微型发光元件190和修补用微型发光元件120的电极或是用以电性连接的线路(例如是于后续说明的第一至第四电极113、114、123、124、193、194、第一连接线130、第二连接线140或其他线路等)。

[0053] 请参考图5,图5为对应于图4之像素结构之其中一子像素的等效电路图。图2与图5之子像素的驱动架构以2T1C架构为范例,例如:驱动架构系包括两个薄膜晶体管(包括切换元件SW与驱动元件DR)以及一储存电容Cst,但本发明并不以此为限。于其他实施方式中,像素结构的驱动架构亦可以视电路设计或是制程而调整薄膜晶体管和储存电容的数量和结构,例如是但不限于3T1C架构、3T2C架构、4T1C架构、4T2C架构、5T1C架构、5T2C架构、6T1C架构、6T2C架构或其它适合的驱动架构。举例而言,切换元件SW的栅极SWG与栅极线GL电性连接,源极SWS与数据线DL电性连接,且切换元件SW的漏极SWD与驱动元件DR的栅极DRG以及储存电容Cst一端电性连接,而储存电容Cst另一端电性连接于切换元件SW的漏极SWD与驱动元件DR的栅极DRG之间。储存电容Cst另一端系电性连接于电源线PL与驱动元件DR的源极DRS。驱动元件DR的漏极DRD与第一微型发光元件110X电性连接。此外,电源线PL可提供电压OVDD给第一微型发光元件的一电极(例如阳极),而第一微型发光元件之另一电极(例如阴极)可接收电压OVSS,其中电压OVSS可为共通电压、接地电压、或其它合适的电压。各子像素P的发光元件可以接收实质上相同的电压OVSS,但并不以此为限。

[0054] 图6为对应于图4之B-B'剖面之一示范例之其中一子像素的截面示意图。请同时参考图4、图5与图6。于此,像素结构100具有至少一子像素P1。子像素P1包括基板S1、至少一个驱动元件DR、第一微型发光元件110X、修补用微型发光元件120、第一连接线130、第二连接线140、绝缘层150以及桥接图案160。第一微型发光元件110X系为被修补的微型发光元件,其设置于基板S1上且电性连接于驱动元件DR。像素结构100可另包括子像素P2,其中子像素P2之微型发光元件110可为正常发光,因此并不需要设置修补用微型发光元件120。修补用微型发光元件120系为于重工或修补制程中设置的微型发光元件,其设置于第一微型发光元件110X上,且第一微型发光元件110X与修补用微型发光元件120于垂直投影方向D3上至少部分重叠。

[0055] 第一微型发光元件110X、修补用微型发光元件120的尺寸是微米等级,第一微型发光元件110X和修补用微型发光元件120可为微型发光二极管(micro light emitting diode,  $\mu$ -LED),其大小约为10微米以下,但本发明并不以此数值为限。此外,第一微型发光元件110X可选择性的经由焊料(图未示出)或黏着层(图未示出)设置于基板S1上。

[0056] 第一微型发光元件110X包含第一半导体层111、第二半导体层112、第一电极113与第二电极114。其中,第一半导体层111和第二半导体层112电性连接,且第一电极113电性连接第一半导体层111,第二电极114电性连接第二半导体层112。在一些实施方式中,第一微型发光元件110X较佳为水平式二极管结构,例如:第一电极113和第二电极114分别位于第一半导体层111和第二半导体层112的同一侧,但不限于此。

[0057] 在朝向基板S1的垂直投影方向D3上,修补用微型发光元件120的垂直投影范围与第一微型发光元件110X的垂直投影范围至少部分重叠。修补用微型发光元件120包含第三半导体层121、第四半导体层122、第三电极123与第四电极124。其中,第三半导体层121和第四半导体层122电性连接,且第三电极123电性连接第三半导体层121,第四电极124电性连接第四半导体层122。在一些实施方式中,修补用微型发光元件120可以为水平式二极管结构,例如:第三电极123和第四电极124分别位于第三半导体层121和第四半导体层122的同一侧,但不限于此。第三半导体层121于垂直投影方向D3上可向第一微型发光元件110X延伸,第三半导体层121位于第一半导体层111与第四半导体层122之间,第一半导体层111的垂直投影范围与第三半导体层121的垂直投影范围可大致重叠,且第二半导体层112的垂直投影范围与第四半导体层122的垂直投影范围大致重叠。

[0058] 绝缘层150可设置于第一微型发光元件110X上且部分覆盖第一微型发光元件110X。绝缘层150具有第一开口H1与第二开口H2。第一开口H1暴露出部分的第一微型发光元件110X的第一半导体层111,且第二开口H2暴露出部分的第一微型发光元件110X的第二半导体层112。第一电极113设置于第一半导体层111上且第一电极113至少一部分位于第一开口H1内,且第二电极114设置于第二半导体层112上且第二电极114至少一部分位于第二开口H2内。第一连接线130和第二连接线140可设置于绝缘层150上,第一连接线130与第一开口H1部分重叠且与第一电极113以及第三电极123电性连接,第二连接线140与第二开口H2部分重叠且与第二电极114以及桥接图案160电性连接。在一些实施方式之制程工序中,导电材料层(图未标示)形成于绝缘层150之上。接着,导电材料层透过激光或其他制程蚀刻从而形成第一连接线130和第二连接线140。在一些实施方式中,形成第一连接线130和第二连接线140制程工序,也可为印刷导电材料制程、曝光显影导电材料制程或其它合适的制程。依此,第一微型发光元件110X位于第一连接线130和第二连接线140之间的位置可选择性的具有微粗糙化的表面,但不限于此。

[0059] 于又一实施例中,像素结构100可以更包括覆盖于第一微型发光元件110X的保护层180。保护层180具有第三开口H3与第四开口H4,其中第三开口H3的垂直投影范围与第三半导体层121的垂直投影范围至少部分重叠,第四开口H4的垂直投影范围与桥接图案160的垂直投影范围至少部分重叠。

[0060] 第一微型发光元件110X和修补用微型发光元件120可共用第一连接线130和第二连接线140,以便于与其他电路(图未示出)电性连接,于此示范例中第一微型发光元件110X和修补用微型发光元件120共用第一连接线130和第二连接线140系分别与驱动元件DR与电源线PL电性连接。绝缘层150设置于第一连接线130和第二连接线140与第一微型发光元件110X之间。桥接图案160位于第一微型发光元件110X与修补用微型发光元件120之间。

[0061] 在一些实施方式中,基板S1可以是硬质基板,例如是但不限于玻璃基板或蓝宝石基板。在另一些实施方式中,基板S1也可以是柔性基板,例如是但不限于可挠式基板(flexible substrate)。在一实施方式中,切换元件SW及/或驱动元件DR举例为薄膜晶体管(thin film transistor, TFT),例如但不限于是顶栅极型薄膜晶体管、底栅极型薄膜晶体管或其它合适型式的薄膜晶体管,形成有源阵列基板。

[0062] 在一实施方式中,第一电极113、第二电极114、第三电极123和第四电极124其中至少一者可为单层或多层结构,且其材料可以是金属、合金、透明导电材料、或其它合适的材

料、或上述至少两种材料组合(例如:混合、掺杂等)。

[0063] 在一些实施方式中,第一半导体层111的掺杂型不同于第二半导体层112的掺杂型,且第三半导体层121的掺杂型不同于第四半导体层122的掺杂型。在一些实施方式中,第一半导体层111与第三半导体层121可以是P型半导体层和N型半导体层中之一者,且第二半导体层112与第四半导体层122可以是P型半导体层和N型半导体层中之另一者,也就是说第一半导体层111与第三半导体层121掺杂型可实质上相同,第二半导体层112与第四半导体层122掺杂型可实质上相同,但不限于此。于此,第一微型发光元件110X的发光层的型态可以是P-N结。不过,在另一实施方式中,第一微型发光元件110X可更包括本征半导体层(intrinsic semiconductor layer)或称为量子阱(图未示出,Quantum Well,QW)可包含多量子阱(MQW)或单量子阱(SQW),于此,第一微型发光元件110X的发光层的型态可以是P-I-N结。在一些实施方式中,第一半导体层111和第二半导体层112可以分别是采用化学周期表的第II族及第VI族的材料,例如形成硒化镉(CdSe)、硫化镉(CdS)、硒化锌(ZnSe);或是,第一半导体层111和第二半导体层112可以分别是采用化学周期表的第III族及第V族的材料,例如形成砷化镓(GaAs)、磷化铟(InP)、氮化镓(GaN)、氮化铝(AlN)、氮化铟(InN)、氮化铟镓(InGaN)、或其他合适的材料,但本发明不以此为限。

[0064] 不过,于其他实施方式中,如图6所示,修补用微型发光元件120的第三电极123可以与第一微型发光元件110X的第一电极113及/或第一连接线130一体成形,但不限于此。

[0065] 第一连接线130电性连接于第一微型发光元件110X的第一电极113与修补用微型发光元件120的第三半导体层121,且第一连接线130与驱动元件DR电性连接。第二连接线140电性连接于第一微型发光元件110X的第二电极114与修补用微型发光元件120的第四半导体层122,且第二连接线140与电源线PL电性连接。于此,第一连接线130可以设置于透过第一电极113与第三电极123之间,而第二连接线140可设置于第二电极114与第四电极124之间。

[0066] 在一些实施方式中,第一连接线130和第二连接线140其中至少一者可为单层或多层结构,且其材料可以是金属、合金、透明导电材料、或其它合适的材料。

[0067] 桥接图案160位于第一微型发光元件110X与修补用微型发光元件120之间。于一实施例中,桥接图案160位于第一微型发光元件110X的第二电极114与修补用微型发光元件120的第四电极124之间且桥接图案160电性连接第一微型发光元件110X的第二电极114、修补用微型发光元件120的第四半导体层122及第二连接线140。于此一实施例中,在朝向基板S1的垂直投影方向D3上,桥接图案160的垂直投影范围位于第二半导体层112的投影的范围之内。举例而言,桥接图案160迭设于第一微型发光元件110X的第二半导体层112上且与第二半导体层112于垂直基板S1方向上重叠。桥接图案160可以先形成于第一微型发光元件110X之第二连接线140上,之后再转置修补用微型发光元件120于桥接图案160与第一连接线130上。或者,桥接图案160先形成于修补用微型发光元件120之第四电极124,之后再转置修补用微型发光元件120于第一微型发光元件110X上。

[0068] 另外,桥接图案160的方式可以依第一微型发光元件110X和修补用微型发光元件120的结构或是堆叠设计而有多种。于一实施例中,桥接图案160为一导电电极,桥接图案160的一端与第四半导体层122电性连接且另一端与第二连接线140连接桥接图案160(例如:导电电极)可以视设计而与第四电极124一体成形。于另一实施方式中,桥接图案160与

第四电极124一体成形,且第一电极113与第二电极114于垂直投影方向D3上的高度不同,于较佳实施例中第二电极114于垂直投影方向D3上的高度大于第一电极113,如此可提降低桥接图案160于垂直投影方向D3上的高度。再者,为了让修补用微型发光元件120可平稳地位于第一微型发光元件110X上,桥接图案160之厚度,可依设计的需要加以变更,例如:当桥接图案160之厚度大于保护层180之厚度,桥接图案160顶面可突出于保护层180之顶面来电性连接于第四半导体层122与第二半导体层112;当桥接图案160之厚度实质上等于或小于保护层180之厚度,则桥接图案160可经由增加电极厚度来电性连接于第四半导体层122与第二半导体层112,且增加电极厚度可选择性的增加第四电极124、第二连接电极140、第二电极114、额外电极(图未示出)、或其它合适的电极其中至少一者之厚度。

[0069] 在一实施方式中,桥接图案160可为单层或多层结构,且其材料可以是金属、合金、透明导电材料、或其它合适的材料。

[0070] 于此一实施例中,第一半导体层111的掺杂型与第三半导体层121的掺杂型可实质上相同,且第二半导体层112的掺杂型与第四半导体层122的掺杂型可实质上相同。修补用微型发光元件120的第三半导体层121透过第一电极113与第一微型发光元件110X的第一半导体层111电性连接,且修补用微型发光元件120的第四半导体层122透过桥接图案160及第二电极114与第一微型发光元件110X的第二半导体层112电性连接。于此,修补用微型发光元件120可视为与第一微型发光元件110X以并联方式耦接。

[0071] 当检测结果显示第一微型发光元件110X的功能为异常时,则于第一微型发光元件110X上方设置修补用微型发光元件120以进行重工或修补。举例而言,第一半导体层111和第三半导体层121都为是P型半导体层,且第一电极113及/或第三电极123可以作为阳极;第二半导体层112和第四半导体层122都为是N型半导体层,且第二电极114以及第四电极124或桥接图案160可以作为阴极,但不限于此。电源线PL提供电压0VDD且透过第一连接线130传递至第一微型发光元件110X以及修补用微型发光元件120,而第一微型发光元件110X以及修补用微型发光元件120可以透过第二连接线140接收电压0VSS,其中,电压0VSS可以为共通电压、接地电压或其它合适的电压。因此,将修补用微型发光元件120转置到第一微型发光元件110X上,即可修补第一微型发光元件110X,而可以不需要在粘合或电性连接于修补用微型发光元件120后,再设置额外的电极/电路层。

[0072] 此外,修补用微型发光元件120的第三半导体层121往第一微型发光元件110X的方向延伸,且对应于第一微型发光元件110X的第一半导体层111上,第一微型发光元件110X与修补用微型发光元件120可以透过蚀刻及/或其他制程而去除部分半导体层来调整其剖面形状,于此示范例中,系为去除部分之第一半导体层111与部分之第三半导体层121,例如剖面形状是L型或类L型(例如:图6之修补用第一微型发光元件110X剖面形状或修补用微型发光元件120剖面形状)、U型或类U型(例如:图8之修补用微型发光元件120剖面形状)、或是其它合适的剖面形状。依此,第一微型发光元件110X与修补用微型发光元件120堆叠的方式可以有多种。

[0073] 请参考图6,于此实施例中,第一微型发光元件110X与修补用微型发光元件120都类似为L型。以第一微型发光元件110X且以水平式结构为范例,蚀刻去除其中一侧的第一半导体层111,以使第一半导体层111位于第二半导体层112之上且第一半导体层111于第一方向D1的宽度小于第二半导体层112的于第一方向D1的宽度。举例而言,第一半导体层111的

垂直投影范围小于第二半导体层112的垂直投影范围且约略对应第二半导体层112的垂直投影范围之其中一侧;以修补用微型发光元件120且以水平式结构为范例,蚀刻去除部分的第三半导体层121,以使第三半导体层121位于第四半导体层122之上且第三半导体层121于第一方向D1的宽度小于第四半导体层122的于第一方向D1的宽度。举例而言,第三半导体层121的垂直投影范围小于第四半导体层122的垂直投影范围且约略对应第四半导体层122的垂直投影范围之其中一侧。于此实施例中,如图6所示,第三半导体层121垂直迭设于第一半导体层111,且第四半导体层122与第二半导体层112之间相距的间距大致上相当于第一半导体层111、第三半导体层121、第一连接线130及/或第三电极123迭加的厚度。从另一方面观之,第三半导体层121的垂直投影范围与第一半导体层111的垂直投影范围可至少部分重叠,且第四半导体层122的垂直投影范围与第二半导体层112的垂直投影范围可至少部分重叠。于一实施方式中,如图6所示,第四半导体层122于第一方向D1的宽度大致上等于第二半导体层112于第一方向D1的宽度。从另一方面观之,第四半导体层122的垂直投影范围大致上等于第二半导体层112的垂直投影范围。于部分实施例中,第一微型发光元件110X与修补用微型发光元件120大小大致上相同可以使制程上更为便利,不必因第一微型发光元件110X与修补用微型发光元件120规格不同而增加额外的制程。

[0074] 在此必须说明的是,图7、图8、图9与图10的实施例沿用图6的实施例的元件标号与部分内容,其中采用相同或近似的标号来表示相同或近似的元件,并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施例,在此不赘述。

[0075] 请参考图7,图7为对应于图4之B-B'剖线之另一示范例的子像素的截面示意图。于另一示范例中,第一微型发光元件110X与修补用微型发光元件120都为L型或类L型。与图6的差别在于第四半导体层122于第一方向D1的宽度大于第二半导体层112于第一方向D1的宽度。从另一方面观之,第三半导体层121的垂直投影范围与第一半导体层111的垂直投影范围不重叠,且第四半导体层122的垂直投影范围与第二半导体层112的垂直投影范围部分重叠。桥接图案160位于基板S1上且位于第一微型发光元件110X的相对于第三半导体层121的一侧(例如:另一外侧)。于部分实施例中,第一微型发光元件110X位于第三半导体层121和桥接图案160之间。举例而言,第四半导体层122的垂直投影范围超出第二半导体层112的垂直投影范围,且桥接图案160的垂直投影范围系与第一微型发光元件110X的垂直投影范围不重叠。

[0076] 此外,于此示范例中可以更包括覆盖于第一微型发光元件110X的保护层180。保护层180具有第三开口H3与第四开口H4,从而第三半导体层121延伸入第三开口H3并与第一电极113电性连接,且至少部分的桥接图案160填入或者延伸入第四开口H4并与第二电极114电性连接,以便于将修补用微型发光元件120设置于第一微型发光元件110X上。从另一方面观之,于垂直投影方向D3上,第三开口H3的垂直投影范围与第三半导体层121的垂直投影范围重叠,可视为第三开口H3实质上对应于第三半导体层121,且第四开口H4的垂直投影范围与桥接图案160的垂直投影范围重叠,可视为第四开口H4实质上对应于桥接图案160。由于图7的第三半导体层121系电性连接于第一微型发光元件110X侧边的第一连接线130,且桥接图案160系电性连接于第一微型发光元件110X侧边的第二连接线140,不必与图6所示之第三半导体层121需要大致完全重叠于第一半导体层111,且桥接图案160需要大致完全重叠于绝缘层150之第二开口H2,因此图7修补用微型发光元件120的制程对位容忍度较图6修

补用微型发光元件120大。

[0077] 请参考图8,图8为对应于图4之B-B'剖线之又一示范例的子像素的截面示意图,且可配合参阅于图6之部分实施例。于又一示范例中,修补用微型发光元件120类似于倒U型,修补用微型发光元件120更包括另一第三半导体层121b,其另一第三半导体层121b可用以作为桥接图案160的一部分。于此示范例中,桥接图案160包括导电电极161、另一第三半导体层121b及至少一导电柱162,如图8、图9、或图10所示。另一第三半导体层121b位于导电电极161和第四半导体层122之间,且另一第三半导体层121b与第三半导体层121a具有实质上相同的掺杂型。从另一方面观之,导电柱162一端与第二半导体层112电性连接,导电柱162另一端与第四半导体层122电性连接。导电电极161位于第二连接线140与另一第三半导体层121b之间。导电柱162贯穿另一第三半导体层121b,导电柱162的一端可经由导电电极161另一端与第四半导体层122连接。桥接图案160可选择性的更包括绝缘图案163,绝缘图案163位于导电柱162的外表面且电性隔离导电柱162与另一第三半导体层121b,可避免导电柱162与另一第三半导体层121b之间有不必要的电性连接。

[0078] 导电电极161的厚度、形状及设置位置可以依第一微型发光元件110X和修补用微型发光元件120的结构(类似L型或是类似U型)或是堆叠设计而调整。于一实施方式中,如图8所示,导电电极161设置于位于基板S1上的第二连接线140上,且导电电极161的厚度大致上由第二连接线140的表面的水平延伸面至第一半导体层111的表面的水平延伸面之间的间距。因此,导电电极161的厚度大约相当于第一半导体层111、第二半导体层112、第一连接线130及/或第三电极123迭加的厚度,然本发明并不以此为限,只要第四半导体层122可大致平行基板S1即可。

[0079] 请参考图9,图9为对应于图4之B-B'剖线之又一示范例的子像素的截面示意图。此外,像素结构100可以依第一微型发光元件110X和修补用微型发光元件120的结构或是堆叠设计而更包括另一桥接图案170。图9之实施例与图8之实施例的差别在于第四半导体层122于第一方向D1的宽度大于第二半导体层112于第一方向D1的宽度,且图9之实施例可更包括另一桥接图案170设置于第三半导体层121a与第一连接线130之间。于部分实施例中,第三半导体层121a于垂直投影方向D3上不与绝缘层150之第一开口H1重叠,以垫高第三半导体层121a,如此图9之实施例之导电电极161于垂直投影方向D3上的高度(例如:厚度)较图8之实施例小。另外,于此实施方式中,桥接图案170也可以视设计而与图6之实施例所示之第三电极123一体成形。

[0080] 于又一实施例中,像素结构100可以更包括覆盖于第一微型发光元件110X的保护层180。保护层180具有第三开口H3与第四开口H4,从而第三半导体层121a延伸入第三开口H3并与第一电极113电性连接,且至少部分的桥接图案160填入或延伸入第四开口H4并与第二电极114电性连接,以便于将修补用微型发光元件120设置于第一微型发光元件110X上。其中,第三开口H3对应修补用微型发光元件120的第三半导体层121,且第四开口H4对应桥接图案160。从另一方面观之,于垂直投影方向D3(于此为平行于基板S1的法线方向)上,第三开口H3的垂直投影范围与第三半导体层121的垂直投影范围重叠,且第四开口H4的垂直投影范围与桥接图案170的垂直投影范围重叠。于另一实施方式中,第四半导体层122于第一方向D1的宽度可以大于第二半导体层112于第一方向D1的宽度,第一电极113的位置位于第一微型发光元件110X的靠近第一半导体层111的外侧,且桥接图案160的位置大致上对应

于第二电极114的位置。于此,第三开口H3的投影与第一开口H1的投影不重叠,且第四开口H4的投影与第二开口H2的投影部分重叠。

[0081] 请参考图10,图10为对应于图4之B-B'剖线之再一示范例的子像素的截面示意图。此示范,为图9之另一变化实施例。相较于图9,的差别在于图10之另一第三半导体层121b于第一方向D1上的宽度较大。

[0082] 于另一实施方式中,如图7、图8与图10所示,第四半导体层122于第一方向D1的宽度可以大于第二半导体层112于第一方向D1的宽度,第一电极113的位置位于第一微型发光元件110X的靠近第一半导体层111的外侧,且桥接图案160的位置位于桥接图案170之外(例如:位于第一微型发光元件110X的相对于第三半导体层121的另一外侧)。于此,第三开口H3的投影与第一开口H1的投影不重叠,且第四开口H4的投影与第二开口H2的投影不重叠。

[0083] 于再一实施例中,像素结构100包括多个子像素P,其中至少一子像素P可以具有两个发光元件(例如:第一微型发光元件110X和第二微型发光元件190)。图11为本发明第二实施例的像素结构的俯视示意图。图12为对应于图11之C-C'剖线之一示范例的像素结构的截面示意图。图13为对应于图12之的像素结构的等效电路图。请参阅图11、图12与图13。须说明的是,图12系简单示意图,其省略示出第一微型发光元件110X、第二微型发光元件190和修补用微型发光元件120的电极或是用以电性连接的线路(例如是于后续说明的第一至第四电极113、114、123、124、193、194、第一连接线130、第二连接线140或其他线路等)。其中,第一微型发光元件110X和修补用微型发光元件120的相关描述可参阅与运用前述实施例其中一种。于此,若检测结果显示第一微型发光元件110X及/或第二微型发光元件190的功能为异常时,则可于第一微型发光元件110X及/或第二微型发光元件190之上设置修补用微型发光元件120以进行重工或修补。

[0084] 第二微型发光元件190包含一另一第一半导体层191、一另一第二半导体层192、一另一第一电极193与一另一第二电极194。其中,另一第一半导体层191和另一第二半导体层192接触,且另一第一电极193电性连接另一第一半导体层191,另一第二电极194电性连接另一第二半导体层192。第二微型发光元件190的另一第一电极193与第一连接线130电性连接,且另一第二电极194与第二连接线140电性连接。在一些实施方式中,第一微型发光元件110X较佳为水平式二极管结构,例如:第一电极193和第二电极194分别位于第一半导体层191和第二半导体层192的同一侧。

[0085] 在一实施方式中,第一电极193和第二电极194其中一者之结构及或材料可参阅前述描述,例如:第一电极113和第二电极114其中一者之结构及/或材料于此不再赘言。不过,于另一实施方式中,第一电极193和第二电极194其中一者之结构及或材料可选择性的实质上相同或不同于第一电极113和第二电极114其中一者之结构及/或材料。第一半导体层191和第二半导体层192的描述、型态及/或材料可参阅第一半导体层111和第二半导体层112,于此不再赘言。不过,于另一实施方式中,第一半导体层191和第二半导体层192的型态及/或材料可选择性的实质上相同或不同于第一半导体层111和第二半导体层112的型态及/或材料。

[0086] 于此一实施例中,第一半导体层191的掺杂型与第一半导体层111及第三半导体层121的掺杂型实质上相同,且第二半导体层192的掺杂型与第二半导体层112及第四半导体层122的掺杂型实质上相同。第二微型发光元件190的第一半导体层191透过第一电极113与

第一微型发光元件110X的第一半导体层111和修补用微型发光元件120的第三半导体层121电性连接；第二微型发光元件190的第二半导体层192与第一微型发光元件110X的第二半导体层112及修补用微型发光元件120的第四半导体层122电性连接。于此，第二微型发光元件190、第一微型发光元件110X与修补用微型发光元件120三者彼此并联。此外，第一微型发光元件110X与第二微型发光元件190可选择性的经由焊料(图未示出)或黏着层(图未示出)设置于基板S1上。

[0087] 在一实施方式中，如图13所示出，像素结构100的驱动架构系以2T1C架构为例，但不限于此。于其它实施例中，亦可使用前述架构其中一种。驱动元件DR的漏极DRD与第一微型发光元件110X和第二微型发光元件190电性连接。当检测结果显示第一微型发光元件110X的功能为异常时，则于第一微型发光元件110X上方所设置的修补用微型发光元件120以进行重工或修补。

[0088] 举例而言，第一半导体层111、第一半导体层191和第三半导体层121都可以作为P型半导体层，且第一电极113和第一电极193可以作为阳极；第二半导体层112、第二半导体层192和第四半导体层122都可以作为N型半导体层，且第二电极114、第二电极194以及第三电极123或桥接图案160可以作为阴极，但不限于此。电源线PL提供电压OVDD且透过第一连接线130传递至第一电极113、第一电极193以及修补用微型发光元件120，而第二电极114、第二电极194以及第三电极123或桥接图案160可接收电压OVSS，其中，电压OVSS可以为共通电压、接地电压、或其它合适的电压。

[0089] 综上所述，本发明实施例之像素结构中，当检测出第一微型发光元件的功能异常时，可在垂直于第一微型发光元件之上设置修补用微型发光元件，例如：修补用微型发光元件与第一微型发光元件于垂直基板方向上至少部分重叠。藉此，修补用微型发光元件不会额外地占用子像素区域的其他空间，也不会因为设置位置偏离第一微型发光元件的设置位置而影响出光的光场型。因此，相较于对比例而言，本发明实施例无须移除第一微型发光元件或是于第一微型发光元件的阳极与阴极上设置绝缘层，因此可以减少重工或修补制程的步骤。此外，本发明实施例改善因修补或重工制程而导致开口率降低的情形，并且改善降低修补用微型发光元件的出光的光场型受影响的情形，以提供更佳的光学品质。此外，修补用微型发光元件可以透过第一微型发光元件原先设置的第一连接线及第二连接线来与电源线及/或共用电压电性连接，因而无须于粘合或电性连接于修补用微型发光元件后，再额外设置备用连接垫及备用线路，进而避免制程繁琐以及线路设计复杂。

[0090] 当然，本发明还可有其它多种实施例，在不背离本发明精神及其实质的情况下，熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形，但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

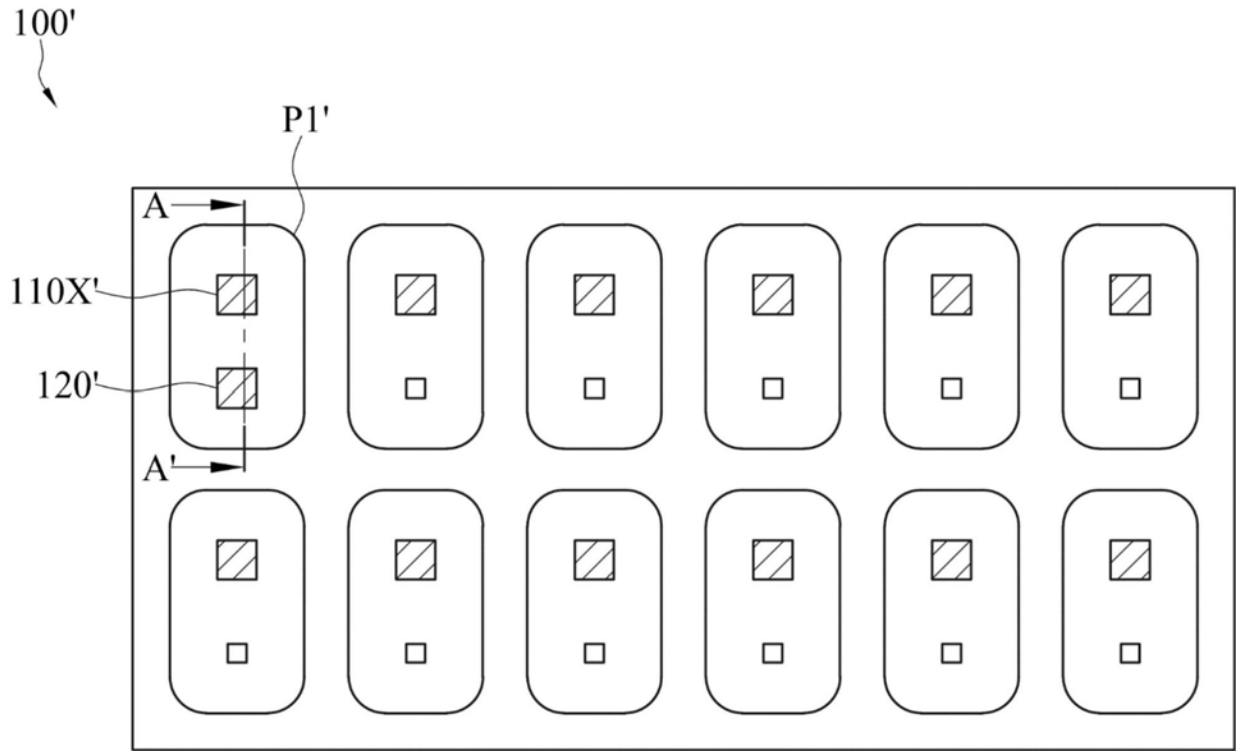


图1

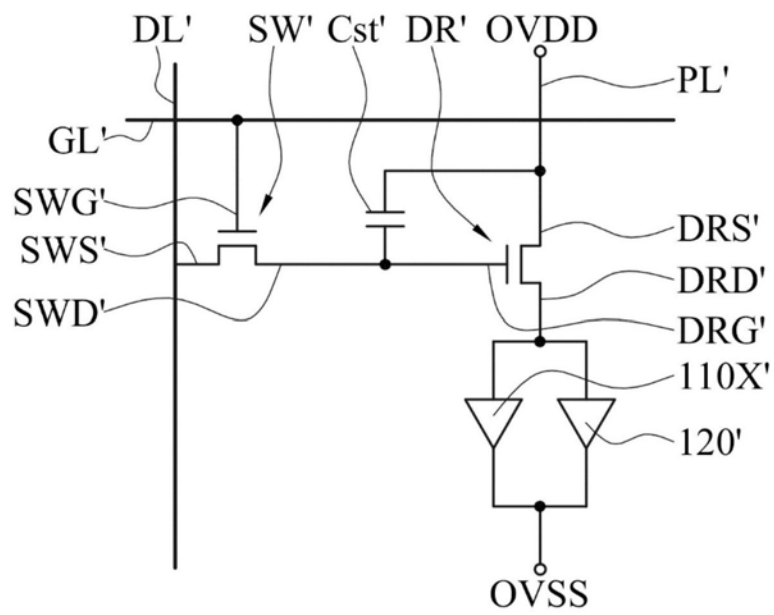


图2

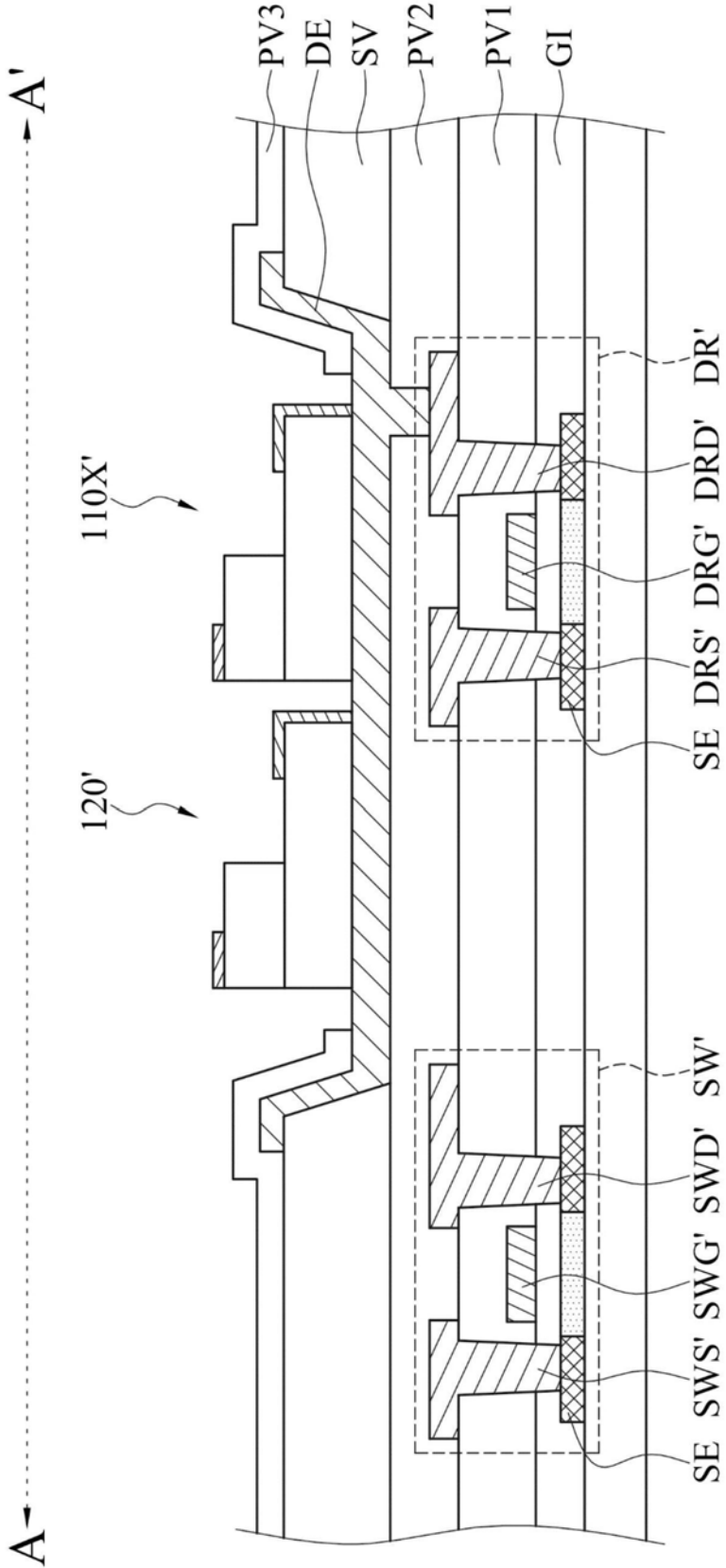


图3

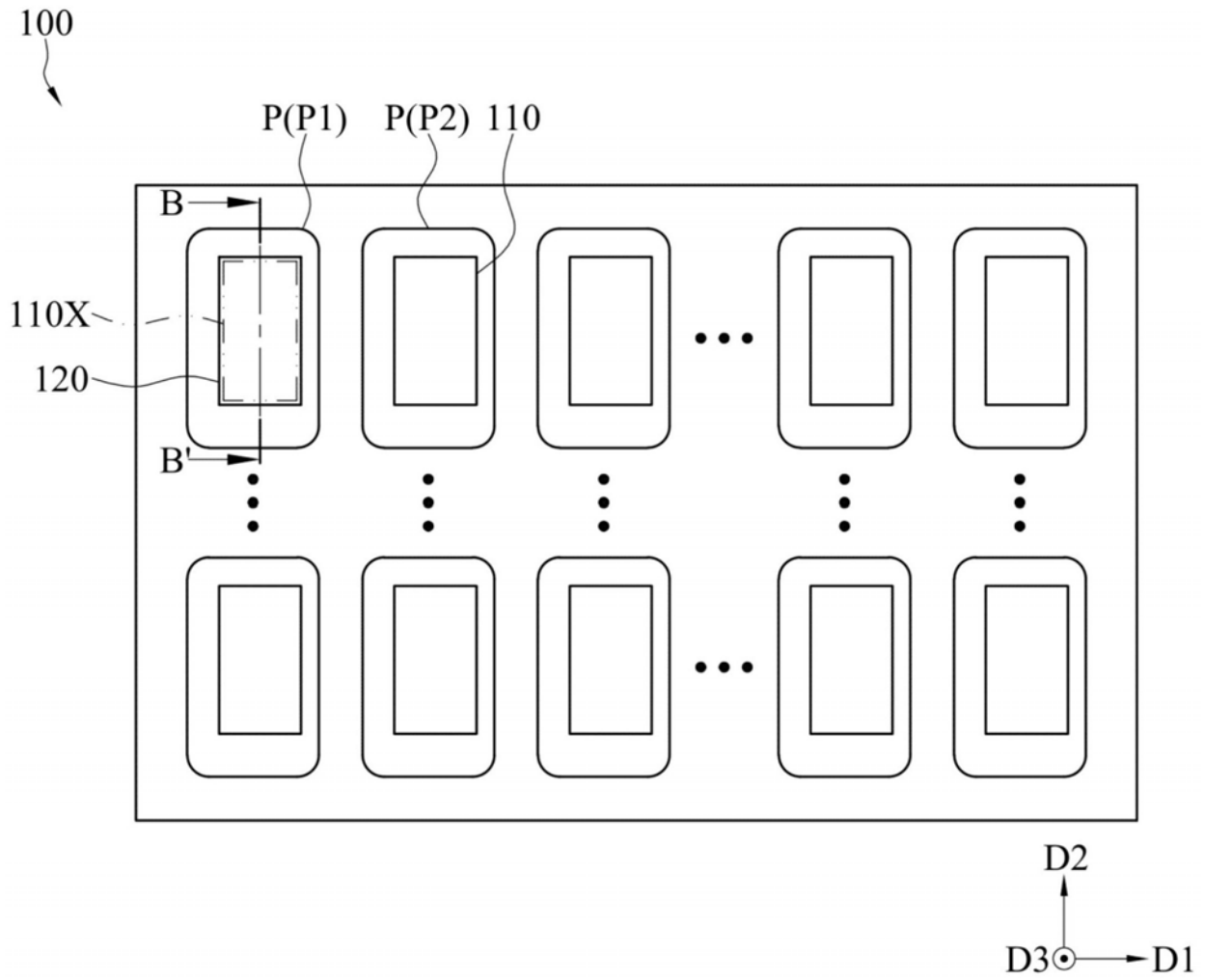


图4

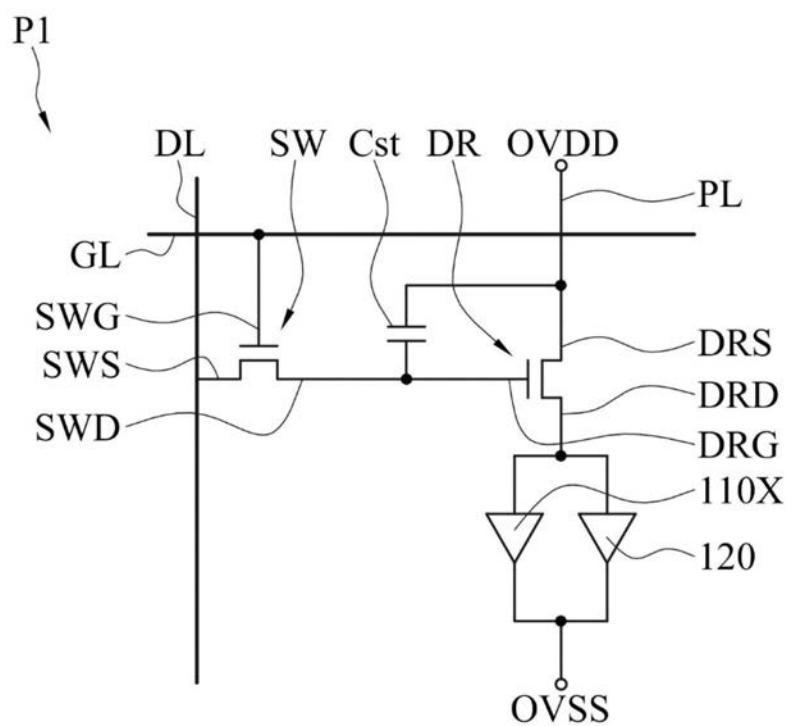


图5



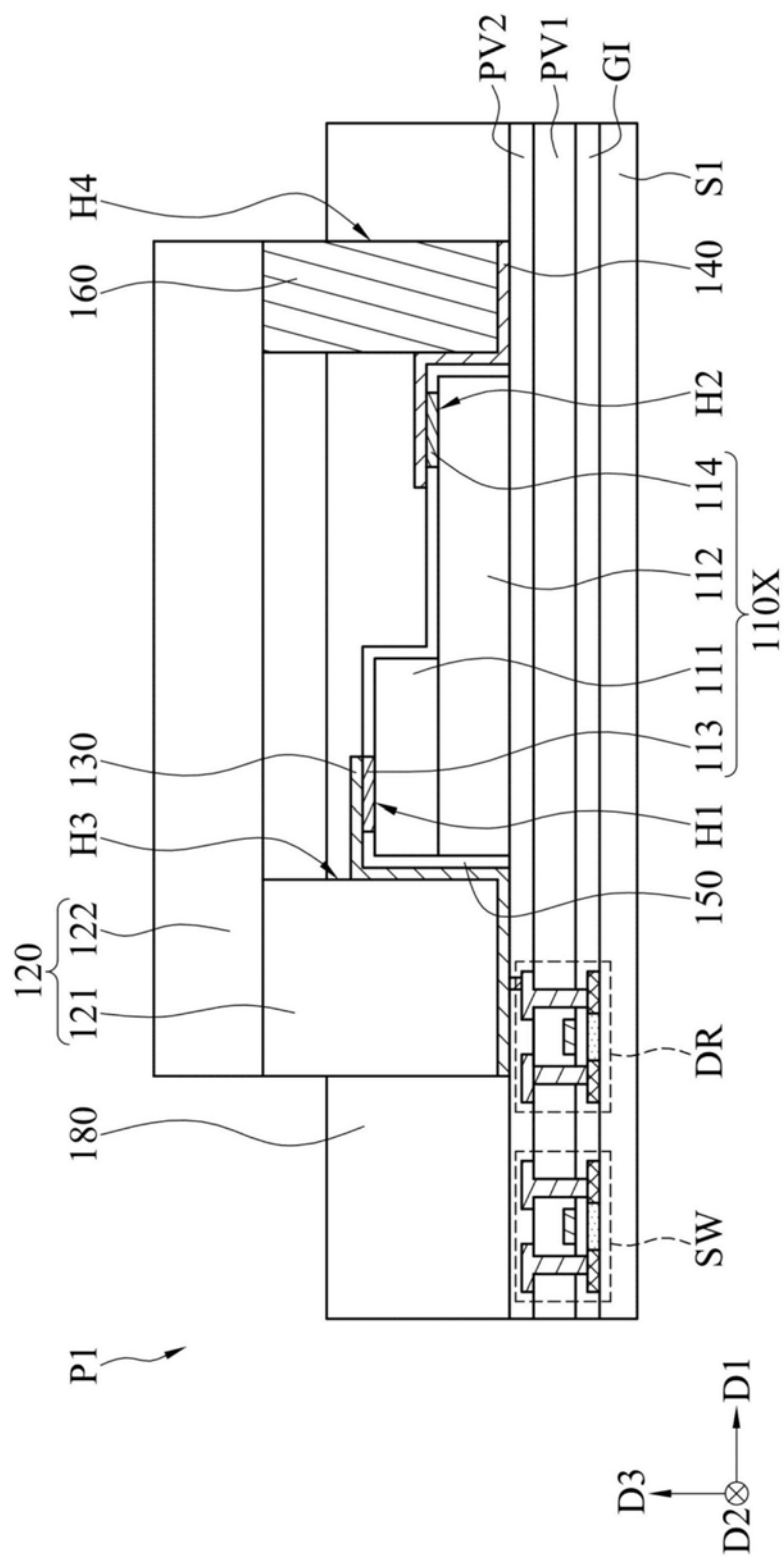


图7

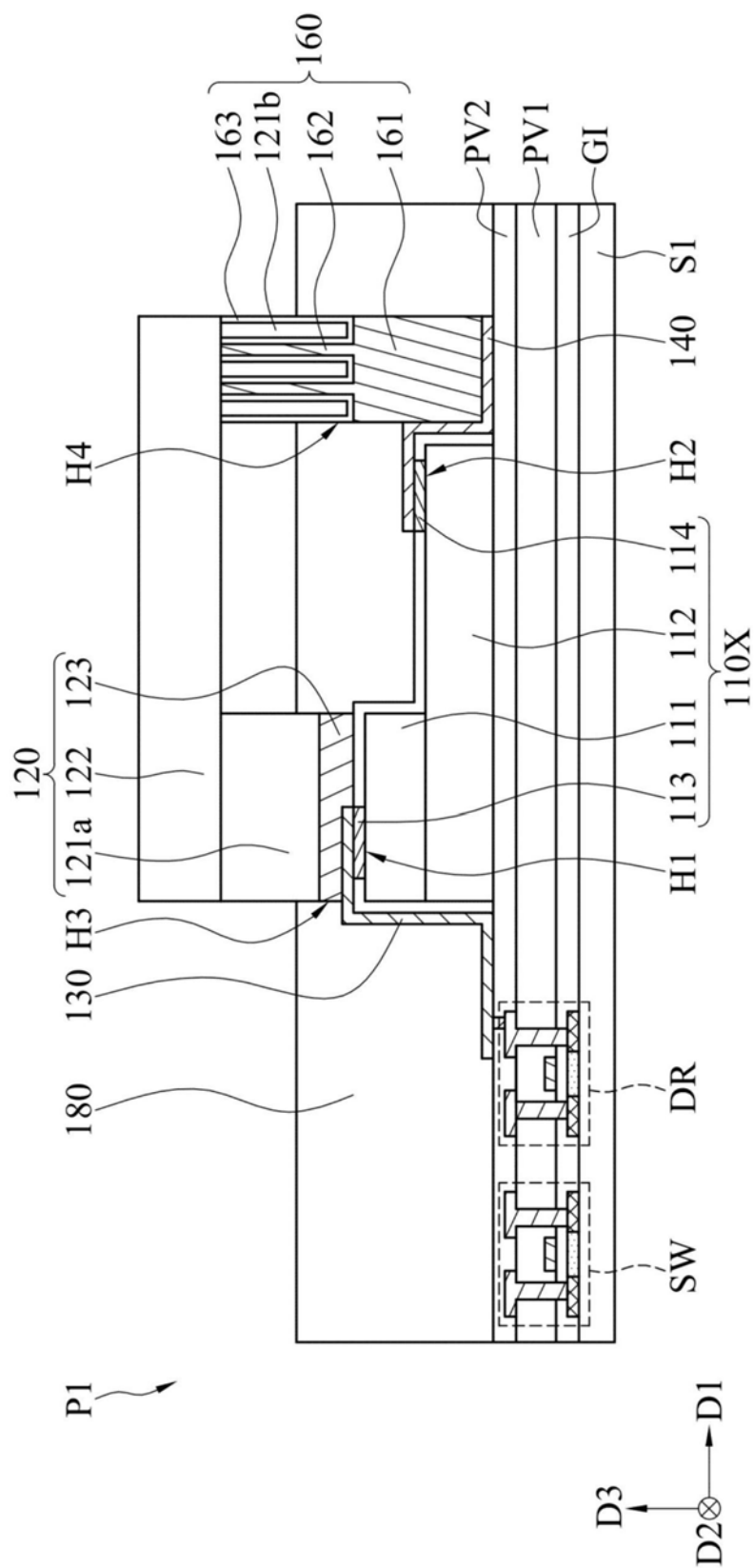


图8

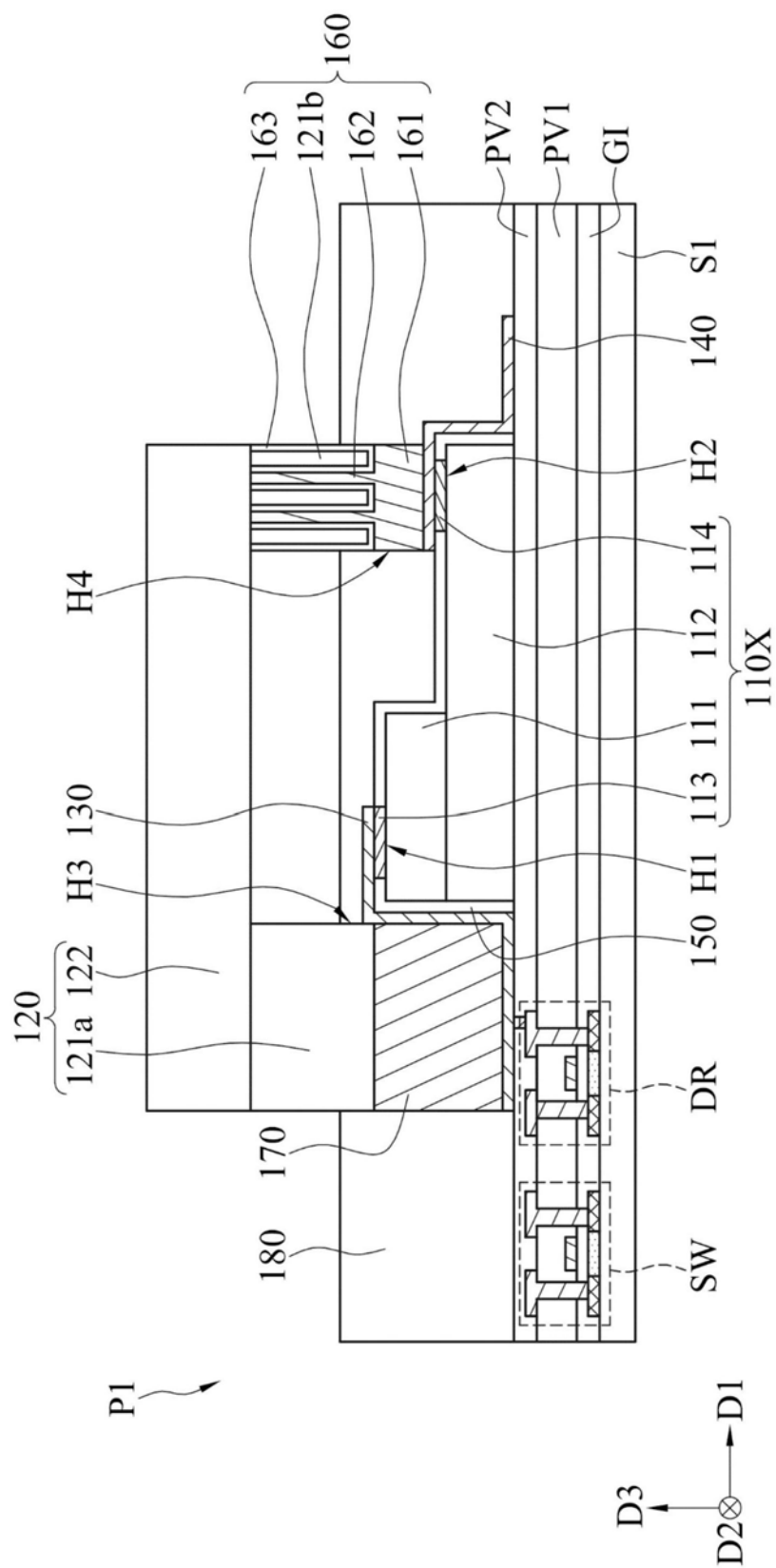


图9

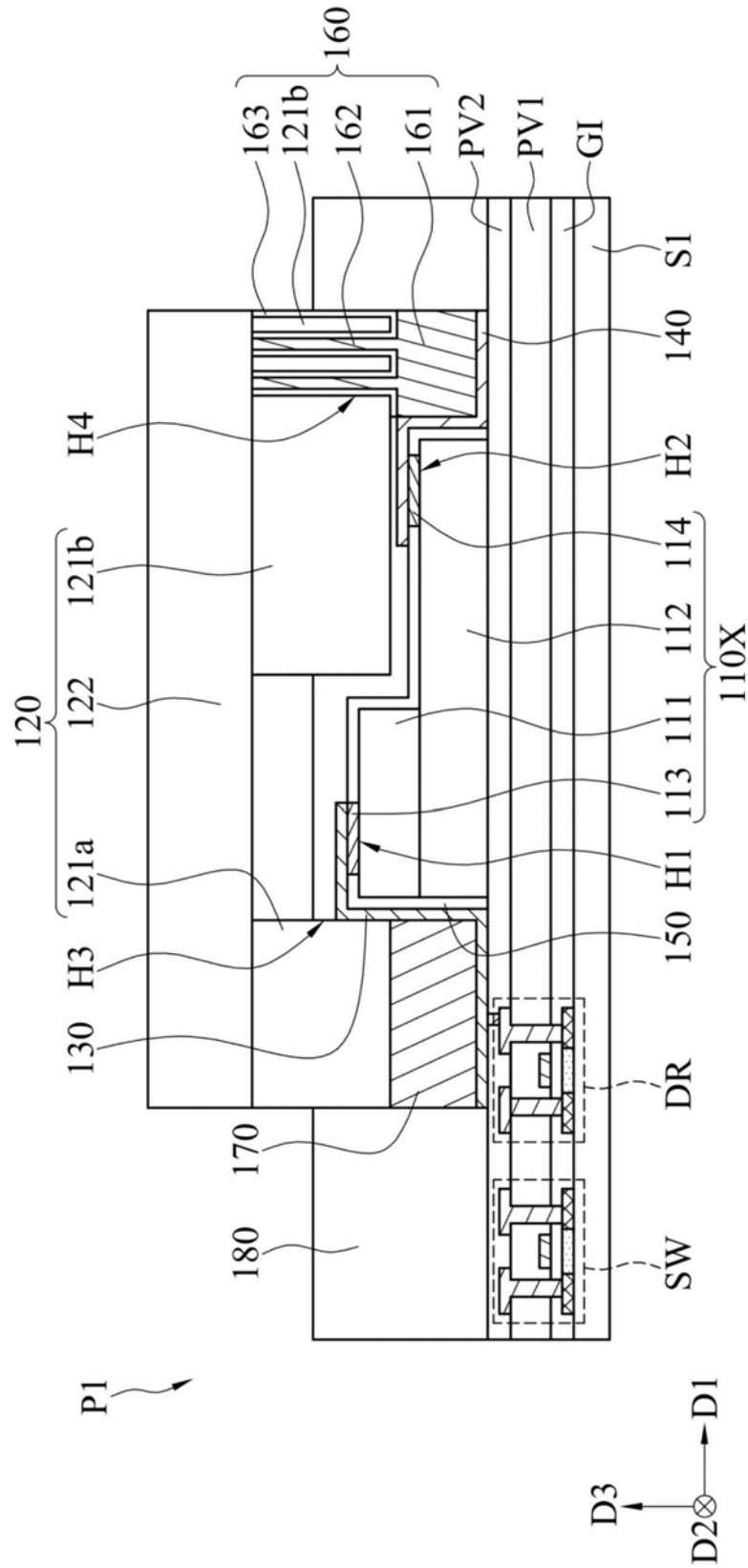


图10

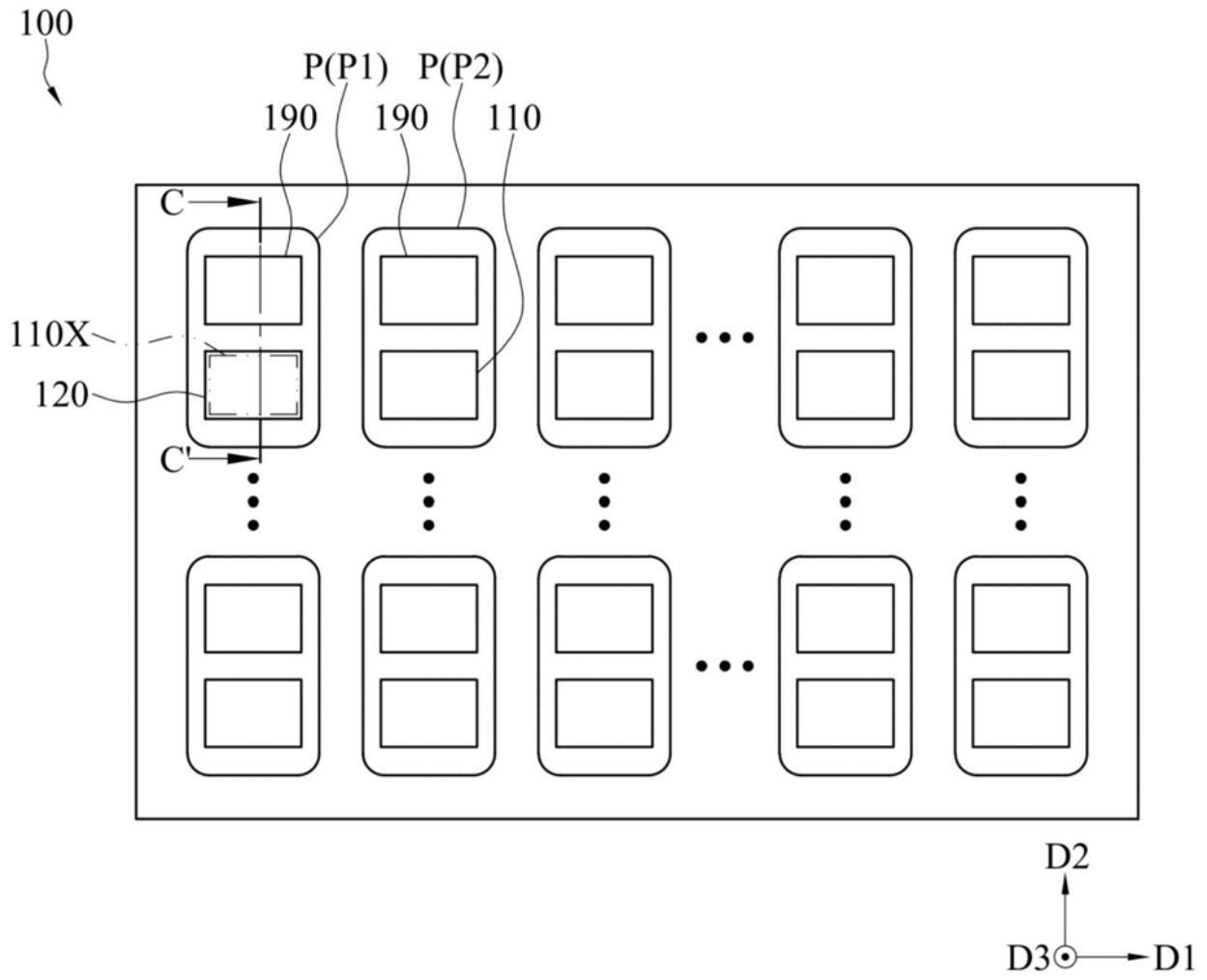


图11

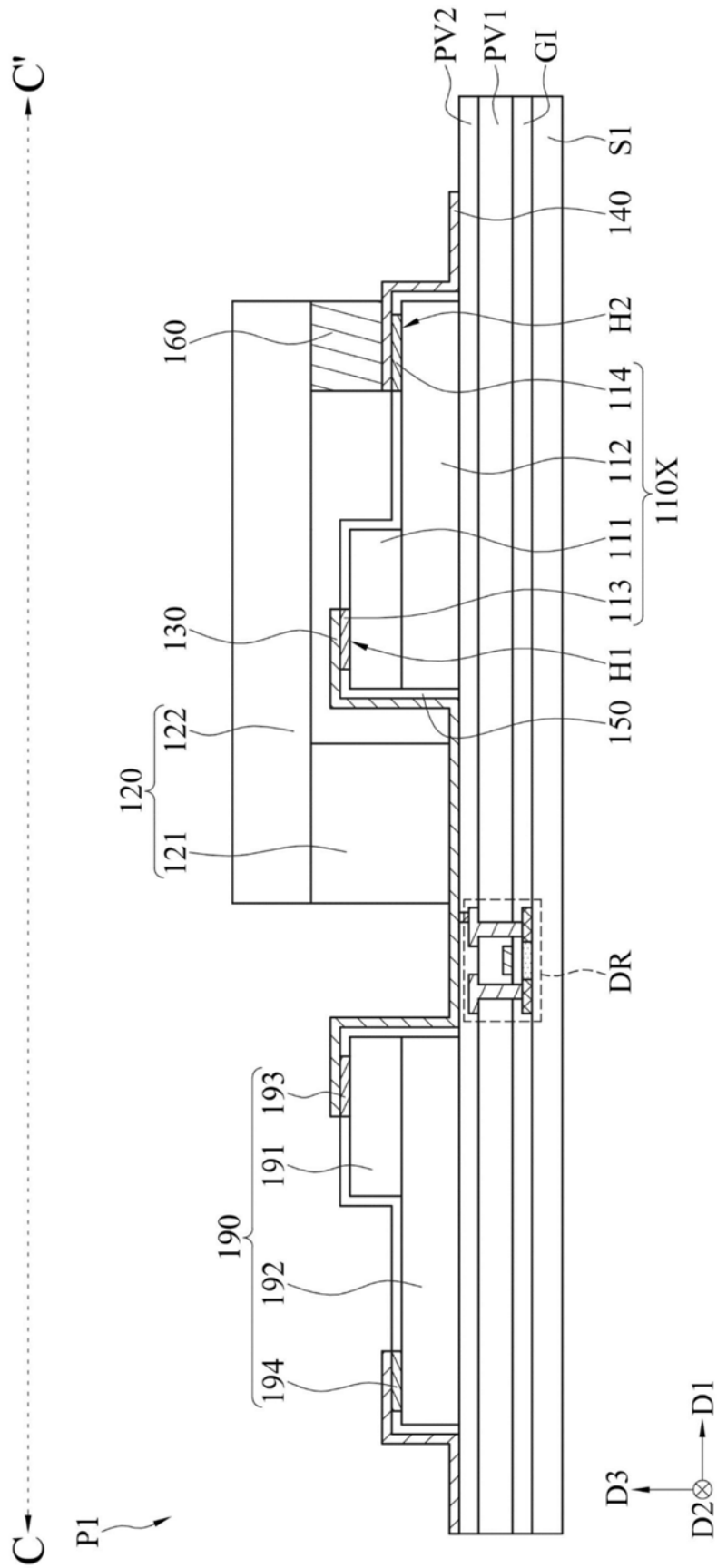


图12

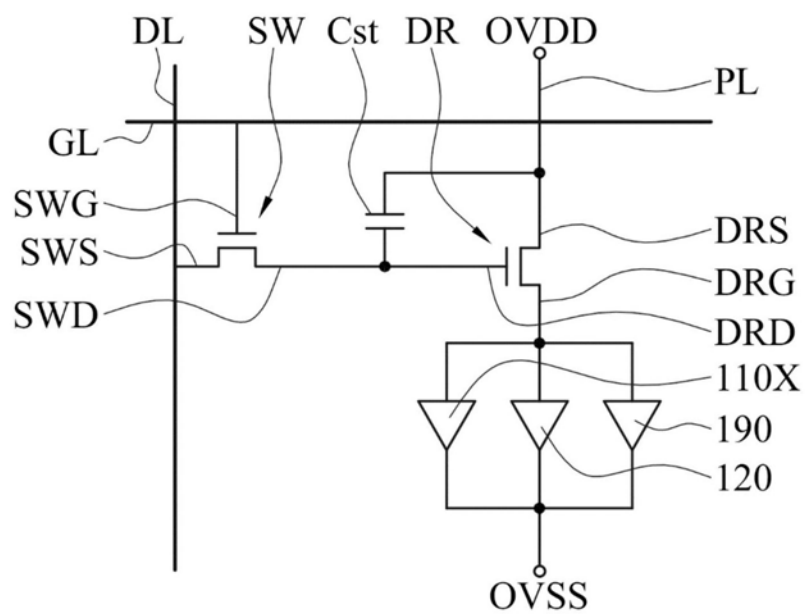


图13

|                |                                                                                        |         |            |
|----------------|----------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 像素结构                                                                                   |         |            |
| 公开(公告)号        | <a href="#">CN108321169B</a>                                                           | 公开(公告)日 | 2020-06-23 |
| 申请号            | CN201810116261.8                                                                       | 申请日     | 2018-02-05 |
| [标]申请(专利权)人(译) | 友达光电股份有限公司                                                                             |         |            |
| 申请(专利权)人(译)    | 友达光电股份有限公司                                                                             |         |            |
| 当前申请(专利权)人(译)  | 友达光电股份有限公司                                                                             |         |            |
| [标]发明人         | 郭庭玮<br>张正杰<br>林振祺<br>刘奕成                                                               |         |            |
| 发明人            | 郭庭玮<br>张正杰<br>林振祺<br>刘奕成                                                               |         |            |
| IPC分类号         | H01L27/15                                                                              |         |            |
| CPC分类号         | H01L27/15 H01L22/22 H01L25/0753 H01L25/167 H01L33/44 H01L33/62 H01L25/0756 H01L27/1214 |         |            |
| 代理人(译)         | 孟超                                                                                     |         |            |
| 审查员(译)         | 孙丽                                                                                     |         |            |
| 优先权            | 106142451 2017-12-04 TW                                                                |         |            |
| 其他公开文献         | CN108321169A                                                                           |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a>                                         |         |            |

# 摘要(译)

一种像素结构，具有至少一子像素。子像素包括基板、第一微型发光元件、修补用微型发光元件、第一连接线、第二连接线以及桥接图案。第一微型发光元件设置于基板上。修补用微型发光元件设置于第一微型发光元件上，且与第一微型发光元件于垂直基板方向上部分重叠。第一连接线电性连接于第一微型发光元件的第一电极与修补用微型发光元件的第三半导体层。第二连接线电性连接于第一微型发光元件的第二电极。桥接图案位于第一微型发光元件与修补用微型发光元件之间，且电性连接第二电极与修补用微型发光元件的第四半导体层。

